



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) DE 10 2004 043 051 A1 2006.03.30

(12)

## Offenlegungsschrift

(21) Aktenzeichen: 10 2004 043 051.9

(22) Anmeldetag: 06.09.2004

(43) Offenlegungstag: 30.03.2006

(51) Int Cl.<sup>8</sup>: **G11C 29/00** (2006.01)  
**G11C 7/22** (2006.01)

(71) Anmelder:  
**Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:  
**Müller-Boré & Partner, Patentanwälte, European  
Patent Attorneys, 81671 München**

(72) Erfinder:  
**Spirkl, Wolfgang, Dr., 82110 Germering, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

**DE 102 26 585 C1**

**DE 102 19 782 C1**

**DE 44 41 007 C2**

**WO 02/25 957 A2**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Loop-back-Verfahren zur Vermessung des Interface-Timings von Halbleiterspeichervorrichtungen unter Verwendung des Normal-Mode-Speichers**

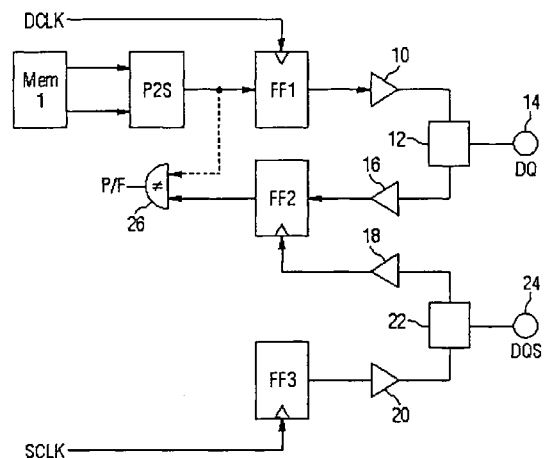
(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Testen einer Halbleiterspeichervorrichtung, wobei die Halbleiterspeichervorrichtung in einem Normal-Betriebsmodus und einem Testmodus betreibbar ist, wobei das Verfahren die folgenden Schritte umfaßt:

- Übermitteln von für einen Test zu verwendenden Testeingangsdaten an die Halbleiterspeichervorrichtung;
- Speichern der Testeingangsdaten in Speicherzellen eines Speicherbereichs (Mem1) der Halbleiterspeichervorrichtung

und

- Auslesen der gespeicherten Testeingangsdaten aus den Speicherzellen zum Durchführen eines Tests, um Testausgangsdaten zu erhalten, wobei der Speicherbereich (Mem 1), in welchem die Testeingangsdaten in dem Testmodus gespeichert werden, in dem Normal-Betriebsmodus zum Speichern von Daten verwendet wird.

Ferner betrifft die Erfindung eine Halbleiterspeichervorrichtung und ein System zum Testen einer Halbleiterspeichervorrichtung.



**Beschreibung**

**[0001]** Die vorliegende Erfindung betrifft ein Verfahren und ein System zum Testen einer Halbleiterspeichervorrichtung und eine Halbleiterspeichervorrichtung.

## Stand der Technik

**[0002]** Es sind Verfahren zum Testen von Halbleiterspeichervorrichtungen, insbesondere des Interface Timings, bekannt, bei welchen ein für den Test einer Halbleiterspeichervorrichtung zu verwendendes Testmuster an die Halbleiterspeichervorrichtung übermittelt und in dieser gespeichert wird. Hierbei wird für das Speichern des Testmusters ein besonderer Speicherbereich vorgesehen. Des weiteren ist in der Halbleiterspeichervorrichtung ein Multiplexer vorgesehen, mittels welchem zwischen dem verwendeten Speicherbereich in einem Normal-Betriebsmodus und dem speziellen, für den Test verwendeten Speicherbereich umgeschaltet werden kann.

**[0003]** Die vorstehend beschriebene Anordnung hat jedoch den Nachteil, daß ein zusätzlicher Speicherbereich und ein Multiplexer auf den Halbleiterspeichervorrichtung vorgesehen werden muß.

## Aufgabenstellung

**[0004]** Es ist somit eine Aufgabe der vorliegenden Erfindung, ein Verfahren und ein System zum Testen einer Halbleiterspeichervorrichtung und eine Halbleiterspeichervorrichtung bereitzustellen, die ein einfaches und kostengünstiges Testen, insbesondere des Interface Timings der Halbleiterspeichervorrichtung ermöglichen.

**[0005]** Diese Aufgabe wird gemäß der Erfindung durch ein Verfahren mit den in Anspruch 1 angegebenen Merkmalen, eine Halbleiterspeichervorrichtung mit den in Anspruch 21 angegebenen Merkmalen und ein System mit den in Anspruch 36 angegebenen Merkmalen gelöst. Bevorzugte Ausführungsformen sind in den abhängigen Ansprüchen beschrieben.

**[0006]** Gemäß der Erfindung wird ein Verfahren zum Testen einer Halbleiterspeichervorrichtung bereitgestellt, wobei die Halbleiterspeichervorrichtung in einem Normal-Betriebsmodus und einem Testmodus betreibbar ist, wobei das Verfahren die folgenden Schritte umfaßt:

- Übermitteln von für einen Test zu verwendenden Testeingangsdaten an die Halbleiterspeichervorrichtung, insbesondere von einem externen Testgerät;
- Speichern der Testeingangsdaten in Speicherzellen eines Speicherbereichs der Halbleiterspeichervorrichtung; und
- Auslesen der gespeicherten Testeingangsdaten

aus den Speicherzellen zum Durchführen eines Tests, um Testausgangsdaten zu erhalten, insbesondere zum Testen der Laufzeitverzögerungszeiten in der Halbleiterspeichervorrichtung, wobei der Speicherbereich, im welchem die Testeingangsdaten in dem Testmodus gespeichert werden, in dem Normal-Betriebsmodus zum Speichern von Daten verwendet wird.

**[0007]** Insbesondere kann durch das Verwenden des Speicherbereichs, welcher in dem Normalbetriebsmodus zum Speichern von Daten verwendet wird, zum Speichern von Testeingangsdaten in dem Testmodus die benötigte Fläche der Halbleiterspeichervorrichtung verringert werden, da kein zusätzlicher Speicherbereich zum Speichern der Testeingangsdaten benötigt wird. Des weiteren ist es nicht nötig, einen Multiplexer vorzusehen, welcher ein Umschalten zwischen dem in dem Testmodus verwendeten Speicherbereich und dem in dem Normalbetriebsmodus verwendeten Speicherbereich ermöglicht. Ferner kann durch die Verwendung des Speicherbereichs, welcher in dem Normalbetriebsmodus zum Speichern von Daten verwendet wird, für ein Speichern der Testeingangsdaten eine größere Anzahl an Testmustern bzw. Testmustern mit einer größeren Anzahl von Bits gespeichert werden. Insbesondere ist die Größe des Testmusters nur beschränkt durch die Größe des Speicherbereichs.

**[0008]** Des weiteren kann der Test unter realistischeren Bedingungen, verglichen mit dem Stand der Technik durchgeführt werden, da das Rauschen, welches bei der Verwendung des Speicherzellenfelds auftritt, nun auch während des Testbetriebs vorhanden ist.

**[0009]** Vorzugsweise werden die gespeicherten Testeingangsdaten zumindest teilweise parallel aus den Speicherzellen ausgelesen und der Schritt des Auslesens umfaßt einen Schritt des Umwandeln der parallel aus dem Speicherzellenfeld ausgelesenen Testeingangsdaten in serielle Daten, welche zum Durchführen des Tests verwendet werden, insbesondere mit Hilfe einer Parallel-zu-Seriell-Umwandlungseinrichtung.

**[0010]** Bevorzugt ist eine vorbestimmbare Anzahl an parallelen Leitungen zwischen dem Speicherzellenfeld und der Parallel-zu-Seriell-Umwandlungseinrichtung vorgesehen, über welcher die Testeingangsdaten parallel ausgelesen werden.

**[0011]** Bevorzugt umfaßt das Verfahren einen Schritt des Vergleichens der Testausgangsdaten mit den ausgelesenen Testeingangsdaten in einer Vergleichseinrichtung.

**[0012]** Vorzugsweise werden serielle Testeingangsdaten mit seriellen Testausgangsdaten verglichen.

**[0013]** Hierbei werden die Testausgangsdaten in ein Format umgewandelt, welches einen Vergleich der umgewandelten Testausgangsdaten mit den in dem Speicherbereich gespeicherten Testeingangsdaten ermöglicht. Insbesondere werden hierbei die Testeingangsdaten bitweise jeweils mit den entsprechenden Bits der Testausgangsdaten verglichen.

**[0014]** Vorzugsweise umfaßt das Verfahren einen Schritt des Aufnehmens bzw. Kumulierens des Vergleichsergebnisses bzw. einer Fehlerinformation in einem Fehlerregister zum Erzeugen eines Vergleichstestergebnisses.

**[0015]** Insbesondere wird hierbei aufgenommen, ob Fehler während des Schritts des Vergleichens aufgetreten sind. Die aufgetretenen Fehler werden in dem Fehlerregister aufgenommen und entsprechend dem Inhalt des Fehlerregisters wird ein Vergleichstestergebnis, d.h. ein Testergebnis, welches den Ausgang des Vergleichs zwischen Testeingangsdaten und Testausgangsdaten widerspiegelt, erzeugt.

**[0016]** Des weiteren kann das Verfahren einen Schritt des Ausgebens eines Testergebnisses an das externe Testgerät umfassen.

**[0017]** Alternativ oder zusätzlich umfaßt das Verfahren einen Schritt des Speicherns der Testausgangsdaten und/oder eines Testergebnisses in demselben und/oder einem weiteren Speicherbereich, welcher in dem Normal-Betriebsmodus zur Speicherung von Daten verwendet wird.

**[0018]** Insbesondere ist es hierbei nicht notwendig, daß die Testeingangsdaten und die Testausgangsdaten in der Halbleiterspeichervorrichtung während eines Tests miteinander verglichen werden müssen. Es ist nunmehr auch nicht notwendig, die Testeingangsdaten zu einem genauen Zeitpunkt bereitzustellen, um einen Vergleich mit den Testausgangsdaten zu ermöglichen.

**[0019]** Es kann ferner vorgesehen sein, daß die so gespeicherten Testausgangsdaten nach Abschluß des Tests von der externen Testvorrichtung ausgelesen werden und dort ausgewertet werden.

**[0020]** Bevorzugt umfassen die Testausgangsdaten serielle Daten und das Verfahren umfaßt einen Schritt des zumindest teilweisen Umwandeln der seriellen Testausgangsdaten in parallele, insbesondere in das Speicherzellenfeld zu schreibende Daten, vorzugsweise mit Hilfe einer Seriell-zu-Parallel-Umwandlungseinrichtung.

**[0021]** Das Verfahren kann einen Schritt des Vergleichens der umgewandelten Testausgangsdaten mit den gespeicherten Testeingangsdaten in einer Vergleichseinrichtung umfassen.

**[0022]** Insbesondere, wenn während des Auslesens der Testausgangsdaten eine Parallel-zu-Seriell-Umwandlung stattgefunden hat, ist es von Vorteil, für die Testausgangsdaten eine Seriell-zu-Parallel-Umwandlung durchzuführen. Vorzugsweise werden die parallelen Testausgangsdaten mit den parallelen Testeingangsdaten verglichen.

**[0023]** Das Verfahren umfaßt vorzugsweise ferner einen Schritt des Erstellens eines Datentestergebnisses aus den bzw. unter Verwendung der Testausgangsdaten.

**[0024]** Unter einem Datentestergebnis im Sinne der Erfindung wird insbesondere ein Testergebnis verstanden, welches im wesentlichen nur unter Verwendung der Testausgangsdaten selber erzeugt wird. Es ist somit nicht notwendig, einen Vergleich von Testeingangsdaten und Testausgangsdaten durchzuführen, bei welchem die Testeingangsdaten mit einer sehr genauen Zeitgabe bzw. einem sehr genauen Timing bereitgehalten werden müssen, um mit den Testausgangsdaten verglichen werden zu können.

**[0025]** Bevorzugt umfaßt der Schritt des Erstellens des Datentestergebnisses einen Schritt des Erstellens bzw. Berechnens einer Signatur aus den Testausgangsdaten.

**[0026]** Das Datentestergebnis kann somit in Form einer Signatur, welche aus den Testausgangsdaten berechnet bzw. erstellt wird, gewonnen werden. Hierbei wird unter einer Signatur eine eindeutige Funktion der Testausgangsdaten verstanden, bei welcher die Wahrscheinlichkeit, daß die Signatur stimmt, obwohl die Daten falsch sind, bzw. die Irrtumswahrscheinlichkeit bzw. die sogenannte false-pass-probability hinreichend klein ist.

**[0027]** Weiter bevorzugt werden die Testausgangsdaten für das Erstellen der Signatur zumindest teilweise gruppenweise zusammengefaßt.

**[0028]** Es kann vorgesehen sein, daß Testausgangsdaten an unterschiedlichen Stellen auf der Halbleiterspeichervorrichtung vorliegen. Um einen möglichst einfachen Schaltungsaufbau zu erreichen, und somit die Größe der Halbleiterspeichervorrichtung nicht unnötig zu vergrößern, können Testausgangsdaten, welche jeweils in einem örtlich begrenzten bzw. benachbarten Bereich vorhanden sind, gruppiert werden und aus diesen gruppierten Daten kann nachfolgend eine Signatur erstellt werden.

**[0029]** Des weiteren kann ein Schritt des Vergleichens der erstellten Signatur mit einer Soll-Signatur vorgesehen sein.

**[0030]** Die Sollsignatur ist hierbei eine Signatur, welche im Vorfeld berechnet wurde. Die Sollsignatur

kann insbesondere ermittelt werden durch Verwendung einer bekannten Halbleiterspeichervorrichtung (sogenannte „known good device“) vorzugsweise unter Bedingungen, welche ein entspanntes Timing erlauben. Alternativ kann die Sollsignatur rechnerisch ermittelt werden. Somit kann dies Sollsignatur entweder experimentell oder durch Simulation ermittelt werden.

**[0031]** Der Schritt des Vergleichens kann in bzw. auf der Halbleiterspeichervorrichtung erfolgt und/oder in einer externen Testvorrichtung erfolgen.

**[0032]** Vorzugsweise wird zur Erstellung der Signatur ein Signatur-Register verwendet.

**[0033]** Das Signaturregister ist vorzugsweise ein MISR, d.h. ein multiple input signature register.

**[0034]** Bevorzugt enthalten bzw. umfassen die Testeingangsdaten redundante Information und der Schritt des Erstellens des Datentestergebnisses erfolgt unter Verwendung der redundanten Information der Testausgangsdaten.

**[0035]** Somit kann ein Redundanzverfahren verwendet werden, um das Datentestergebnis zu erstellen.

**[0036]** Weiter bevorzugt sind in den Testeingangsdaten Paritäts-Bits vorgesehen, welche eine Information über ein vorbestimmte Anzahl von weiteren Testeingangsdatenbits enthalten.

**[0037]** Durch das Vorsehen der Paritäts-Bits kann somit eine Information darüber gewonnen werden, ob während des Tests ein Fehler aufgetreten ist oder nicht.

**[0038]** Die zu testende Halbleiterspeichervorrichtung kann Ausgangstreiber insbesondere zum Verstärken eines aus der Halbleiterspeichervorrichtung auszulesenden Datensignals, Eingangstreiber insbesondere zum Verstärken eines in die Halbleiterspeichervorrichtung zu schreibenden Datensignals und Datenpads umfassen und das Verfahren kann ferner einen Schritt des Führens bzw. Leitens der ausgelesenen Testdaten über einen Ausgangstreiber, zumindest ein Datenpad und einen Eingangstreiber umfassen, wobei und die Eingangstreiber und Ausgangstreiber während des Tests derart geschaltet bzw. ausgelegt sind, daß ein gleichzeitiges Lesen und Schreiben von Daten aus bzw. in die Halbleiterspeichervorrichtung ermöglicht wird.

**[0039]** Somit können insbesondere die Laufzeiten in den Eingangs/Ausgangsschaltungen der Halbleiterspeichervorrichtung gemessen werden.

**[0040]** Bevorzugt sind der Ausgangstreiber und der

Eingangstreiber, über welche die Testdaten geleitet werden, jeweils demselben Datenpad zugeordnet.

**[0041]** Somit wird eine sogenannte "innere Schleife" bzw. "inner loop" ausgebildet, wobei die Testsignale im wesentlichen nur innerhalb der zu testenden Halbleiterspeichervorrichtung übermittelt werden.

**[0042]** Es kann vorgesehen sein, daß im wesentlichen jedes Datenpad mit einem Datenkontakt in Signalverbindung steht und im Testmodus:

- jeweils zwei Datenkontakte miteinander insbesondere über einen externen Lastwiderstand signalverbunden sind; und
- die Testdaten über einen Ausgangstreiber eines ersten Datenpads, das erste Datenpad, einen mit dem ersten Datenpad signalverbundenen ersten Datenkontakt, den mit dem ersten Datenkontakt signalverbundenen zweiten Datenkontakt, das mit dem zweiten Datenkontakt signalverbundene zweite Datenpad und den Eingangstreiber des zweiten Datenpads geleitet werden.

**[0043]** Somit wird eine sogenannte "externe Schleife" bzw. "external loop" ausgebildet. Hierbei werden die Testsignale über einen ersten Datenkontakt bzw. -ball aus der Halbleiterspeichervorrichtung herausgeleitet und über einen zweiten Datenkontakt bzw. -ball, welcher mit dem ersten Datenkontakt signalverbunden ist, hineingeleitet.

**[0044]** Vorzugsweise wird die Auslesereihenfolge der in den Speicherzellen gespeicherten Testdaten verändert, um verschiedene Testmuster zu erzeugen.

**[0045]** Insbesondere kann hierzu die Zählrichtung, welche im normalen Betriebsmodus für einen Auto- bzw. Selfrefresh verwendet wird, verwendet werden. Je nachdem, in welcher Reihenfolge die in den Speicherzellen gespeicherten Testdaten ausgelesen werden, können unterschiedliche Testmuster erzeugt werden.

**[0046]** Gemäß der Erfindung wird ferner eine Halbleiterspeichervorrichtung bereitgestellt, welche in einem Normalbetriebsmodus und einem Testmodus betreibbar ist, wobei die Halbleiterspeichervorrichtung umfaßt:

- zumindest ein Speicherzellenfeld, welches in dem Normal-Betriebsmodus zum Speichern von Daten verwendet wird; wobei die Halbleiterspeichervorrichtung derart ausgelegt ist, daß in dem Testmodus
- Testeingangsdaten in dem Speicherzellenfeld speicherbar sind; und
- die gespeicherten Testeingangsdaten zum Durchführen eines Tests, um Testausgangsdaten zu erhalten, aus dem Speicherzellenfeld auslesbar sind.

**[0047]** Vorzugsweise umfaßt die Halbleiterspeichervorrichtung eine Parallel-zu-Seriell-Umwandlungseinrichtung zum Umwandeln von parallel aus dem Speicherzellenfeld ausgelesenen Testeingangsdaten in serielle Daten, welche zum Durchführen des Tests verwendet werden.

**[0048]** Ferner kann die Halbleiterspeichervorrichtung eine Vergleichseinrichtung umfassen zum Vergleichen der Testausgangsdaten mit den ausgelesenen Testeingangsdaten, um Fehlerinformation zu erhalten.

**[0049]** Bevorzugt umfaßt die Halbleiterspeichervorrichtung ein Fehlerregister zum Aufnehmen bzw. Kumulieren der Fehlerinformation und Erzeugen eines Vergleichstestergebnisses.

**[0050]** Weiter bevorzugt umfaßt die Halbleiterspeichervorrichtung eine Ausgabeeinrichtung zum Ausgeben eines Testergebnisses an das externe Testgerät.

**[0051]** Die Halbleiterspeichervorrichtung ist vorzugsweise ausgelegt zum Speichern der Testausgangsdaten und/oder eines Testergebnisses in demselben und/oder einem weiteren Speicherbereich, welcher in dem Normal-Betriebsmodus zur Speicherung von Daten verwendet wird.

**[0052]** Ferner kann die Halbleiterspeichervorrichtung eine Seriell-zu-Parallel-Umwandlungseinrichtung umfassen zum Umwandeln von seriellen Testausgangsdaten in parallele, insbesondere in das Speicherzellenfeld zu schreibende Daten.

**[0053]** Vorzugsweise ist die Vergleichseinrichtung ausgelegt zum Vergleichen der umgewandelten Testausgangsdaten mit den gespeicherten Testeingangsdaten, um Fehlerinformation zu erhalten.

**[0054]** Bevorzugt umfaßt die Halbleiterspeichervorrichtung eine Datentestergebniserstellungseinrichtung zum Erstellen eines Datentestergebnisses aus den Testausgangsdaten.

**[0055]** Weiter bevorzugt umfaßt die Datentestergebniserstellungseinrichtung eine Signatureinrichtung zum Erstellen bzw. Berechnen einer Signatur aus den Testausgangsdaten.

**[0056]** Die Halbleiterspeichervorrichtung umfaßt vorzugsweise eine Signaturvergleichseinrichtung zum Vergleichen der erstellten Signatur mit einer Soll-Signatur.

**[0057]** Somit kann der Schritt des Vergleichens in bzw. auf der Halbleiterspeichervorrichtung erfolgen.

**[0058]** Alternativ kann der Schritt des Vergleichens

in einer externen Testvorrichtung erfolgen.

**[0059]** Die Halbleiterspeichervorrichtung kann ein Signatur-Register, insbesondere ein Multiple-Input Signature Register (MISR) zur Erstellung der Signatur ein Signatur-Register umfassen.

**[0060]** Vorzugsweise enthalten bzw. umfassen die Testeingangsdaten redundante Information und die Halbleiterspeichervorrichtung umfaßt eine Einrichtung zum Erstellen des Datentestergebnisses unter Verwendung der redundanten Information der Testausgangsdaten.

**[0061]** In den Testeingangsdaten sind bevorzugt Paritäts-Bits vorgesehen, welche eine Information über ein vorbestimmte Anzahl von weiteren Testeingangsdatenbits enthalten.

**[0062]** Bevorzugt umfaßt die Halbleiterspeichervorrichtung Ausgangstreiber insbesondere zum Verstärken eines aus der Halbleiterspeichervorrichtung auslesenden Datensignals, Eingangstreiber insbesondere zum Verstärken eines in die Halbleiterspeichervorrichtung zu schreibenden Datensignals und Datenpads und ist derart ausgelegt, daß in dem Testmodus ein Ausgangstreiber, zumindest ein Datenpad und ein Eingangstreiber miteinander in Signalverbindung stehen und die Eingangstreiber und Ausgangstreiber während des Tests derart geschaltet bzw. ausgelegt sind, daß ein gleichzeitiges Lesen und Schreiben von Daten aus bzw. in die Halbleiterspeichervorrichtung ermöglicht wird.

**[0063]** Vorzugsweise sind der Ausgangstreiber und der Eingangstreiber, über welche die Testdaten geleitet werden, jeweils demselben Datenpad zugeordnet.

**[0064]** Es kann vorgesehen sein, daß im wesentlichen jedes Datenpad mit einem Datenkontakt in Signalverbindung steht und im Testmodus:

- jeweils zwei Datenkontakte miteinander über einen externen Lastwiderstand signalverbunden sind; und
- die Halbleiterspeichervorrichtung derart ausgelegt ist, daß die Testdaten über einen Ausgangstreiber eines ersten Datenpads, das erste Datenpad, einen mit dem ersten Datenpad signalverbundenen ersten Datenkontakt, den mit dem ersten Datenkontakt signalverbundenen zweiten Datenkontakt, das mit dem zweiten Datenkontakt signalverbundene zweite Datenpad und den Eingangstreiber des zweiten Datenpads geleitet werden.

**[0065]** Gemäß der Erfindung wird ferner ein System zum Testen einer Halbleiterspeichervorrichtung bereitgestellt, umfassend:

- eine Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung oder einer bevorzugten

Ausführungsform davon;

– ein externes Testgerät zum Ansteuern der Halbleiterspeichervorrichtung; wobei das externe Testgerät ausgelegt ist, die Halbleiterspeichervorrichtung für einen Testbetrieb in den Testmodus zu bringen.

**[0066]** Weitere Merkmale, Aufgaben und Vorteile der vorliegenden Erfindung werden offensichtlich aus der nachfolgenden detaillierten Beschreibung bevorzugter Ausführungsformen mit Bezug auf die Figuren, in welchen zeigt:

**[0067]** Fig. 1 eine schematische Ansicht einer Halbleiterspeichervorrichtung gemäß einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung;

**[0068]** Fig. 2 eine schematische Ansicht einer Halbleiterspeichervorrichtung gemäß einer zweiten bevorzugten Ausführungsform der vorliegenden Erfindung; und

**[0069]** Fig. 3 eine schematische Ansicht einer Halbleiterspeichervorrichtung gemäß einer dritten bevorzugten Ausführungsform der vorliegenden Erfindung.

**[0070]** Nachfolgend wird zunächst eine Halbleiterspeichervorrichtung gemäß einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung mit Bezug auf Fig. 1 beschrieben.

**[0071]** Fig. 1 zeigt eine schematische Ansicht einer Halbleiterspeichervorrichtung gemäß einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung. Die in Fig. 1 gezeigte Halbleiterspeichervorrichtung kann in einem Normalbetriebsmodus und einem Testmodus betrieben werden.

**[0072]** Die gezeigte Halbleiterspeichervorrichtung umfaßt einen Speicherbereich Mem 1 mit einer Vielzahl von matrixartig angeordneten Speicherzellen. Der Speicherbereich Mem 1 ist über mehrere Verbindungsleitungen mit einer Parallel-zu-Seriell-Umwandlungseinrichtung P2S signalverbunden.

**[0073]** In der Parallel-zu-Seriell-Umwandlungseinrichtung P2S werden parallel aus dem Speicherbereich Mem 1 ausgelesene Daten in serielle Daten umgewandelt. Der serielle Ausgang der Parallel-zu-Seriell-Umwandlungseinrichtung P2S ist mit dem Dateneingang eines ersten Flip-Flops FF1 signalverbunden. An dem Takteingang des ersten Flip-Flops FF1 liegt ein Taktsignal DCLK an, welches für ein Auslesen der in dem Speicherbereich Mem 1 gespeicherten Daten verwendet wird und mit dessen Flanke die an dem Dateneingang des ersten Flip-Flops FF1 anliegenden Daten übernommen werden.

**[0074]** Des weiteren ist ein Ausgangstreiber 10 für

das Datensignal DQ mit dem Signalausgang des ersten Flip-Flops FF1 signalverbunden. Der Ausgangstreiber 10 ist mit einem Datenpad 12 signalverbunden. Das Datenpad 12 ist mit einem Datenkontakt bzw. -ball 14 signalverbunden, über welchen die Halbleiterspeichervorrichtung mit einer externen Schaltung verbunden werden kann. Über den Datenkontakt 14 werden Datensignale DQ übertragen. Des weiteren ist das Datenpad 12 mit einem Eingangstreiber 16 signalverbunden. Der Eingangstreiber 16 ist mit dem Dateneingang des zweiten Flip-Flops FF2 signalverbunden.

**[0075]** Ferner sind ein Eingangstreiber 18 für ein Datentaktsignal DQS und ein Ausgangstreiber 20 für ein Taktsignal vorgesehen. Der Eingangstreiber 18 und der Ausgangstreiber 20 sind mit einem Datenkontaktpad 22 und dieses mit einem Datentaktkontakt bzw. -ball 24 signalverbunden. Der Ausgang des Eingangstreibers 18 ist mit dem Takteingang des zweiten Flip-Flops FF2 signalverbunden. Der Ausgang des zweiten Flip-Flops FF2 ist in dem Testmodus mit einer Vergleichseinrichtung 26 signalverbunden. Des weiteren ist der Ausgang der Parallel-zu-Seriell-Umwandlungseinrichtung P2S in dem Testmodus ebenfalls mit einem Eingang der Vergleichseinrichtung 26 signalverbunden (dies ist in Fig. 1 gestrichelt dargestellt).

**[0076]** In der Verbindung zwischen der Parallel-zu-Seriell-Umwandlungseinrichtung P2S und der Vergleichseinrichtung 26 kann ferner eine nicht dargestellte Verzögerungseinrichtung zum Verzögern des über diese Verbindung übertragenen Signals vorgesehen sein.

**[0077]** Des weiteren ist ein drittes Flip-Flop FF3 vorgesehen, an dessen Takteingang ein Taktsignal SCLK für ein Datentaktsignal vorgesehen ist. Der Signalausgang des dritten Flip-Flops FF3 ist mit dem Eingang des Ausgangstreibers 20 signalverbunden. Somit wird mit jedem Takt des Taktsignals FCLK ein Takt über den Ausgangstreiber 20 an das Datentakt-pad 22 ausgegeben.

**[0078]** An dem Ausgang der Vergleichseinrichtung 26 wird ein Testergebnissignal P/F ausgegeben, welches angibt, ob die geforderten Testbedingungen erfüllt wurden oder nicht.

**[0079]** Die Halbleiterspeichervorrichtung weist eine Vielzahl der vorstehend beschriebenen Ausgestaltungen auf. Der Einfachheit halber ist hier jedoch nur ein Pfad für Datensignale DQ und ein Pfad für Datentaktsignale DQS angegeben.

**[0080]** Nachfolgend wird zunächst der Betrieb der Halbleiterspeichervorrichtung in dem Normalbetriebsmodus beschrieben.

**[0081]** Wenn Daten aus der Halbleiterspeichervorrichtung ausgelesen werden sollen, wird der Ausgangstreiber **10** derart geschaltet, daß er eine Signalübertragung ermöglicht und der Eingangstreiber **16** derart geschaltet, daß er keine Signalübertragung ermöglicht. Die in dem Speicherbereich Mem **1** gespeicherten Daten werden zunächst parallel ausgelesen und in der Parallel-zu-Seriell-Umwandlungseinrichtung P2S in serielle Daten umgewandelt. Über das erste Flip-Flop F1 werden mit jedem Takt des Taktsignals DCLK die Datenbits an dem Ausgang des ersten Flip-Flops FF1 bereitgestellt und über den Ausgangstreiber **10**, das Datenpad **12** und den Datenkontakt **14** ausgegeben.

**[0082]** Wenn hingegen Daten in die Halbleiterspeichervorrichtung geschrieben werden sollen, wird der Ausgangstreiber derart geschaltet, daß keine Signalübertragung möglich ist und der Eingangstreiber **16** derart geschaltet, daß eine Signalübertragung ermöglicht wird. Ferner wird der Signalausgang des zweiten Flip-Flops FF2 mit einem Speicherbereich bzw. einer diesem vorgeschalteten Seriell-zu-Parallel-Umwandlungseinrichtung signalverbunden und die an die Halbleiterspeichervorrichtung übertragenen Daten werden mit jedem Takt eines Datentaktsignals DQS, welches über den Datentaktkontakt **24** übertragen wurde in den Speicherbereich geschrieben.

**[0083]** Nachfolgend wird der Betrieb der Halbleiterspeichervorrichtung in dem Testmodus beschrieben. Hierzu wird von einer externen Testvorrichtung zunächst ein Signal an die Halbleiterspeichervorrichtung übertragen, daß diese im Testmodus betrieben werden soll. Des weiteren wird ein Testmuster bzw. Testdaten von der externen Testvorrichtung an die Halbleiterspeichervorrichtung übertragen. Diese Testeingangsdaten werden in dem Speicherbereich Mem **1** gespeichert, welcher derjenige Speicherbereich ist, der im Normalbetriebsmodus für ein Speichern von Daten verwendet wird. Während des Testbetriebs werden dann die Ausgangstreiber **10**, **20** und Eingangstreiber **16**, **18** derart geschaltet, daß eine Signalübertragung ermöglicht wird. In der in [Fig. 1](#) dargestellten Ausgestaltung wird somit eine sogenannte "internal loop" Anordnung ermöglicht, d.h. eine interne Schleife, bei welcher aus einem Speicherbereich ausgelesene Testsignale über den Ausgangstreiber **10**, das Datenpad **12** und den Eingangstreiber **16** wieder in die Halbleiterspeichervorrichtung übertragen werden.

**[0084]** Der detaillierte Ablauf wird im folgenden beschrieben.

**[0085]** Die aus dem Speicherbereich Mem **1** ausgelesenen und in der Parallel-zu-Seriell-Umwandlungseinrichtung P2S umgewandelten Testeingangsdaten werden mit dem Taktsignal DCLK in dem ersten

Flip-Flop FF1 eingelatcht bzw. mit der steigenden oder fallenden Flanke des Taktsignals DCLK übernommen, über den Ausgangstreiber **10**, das Datenpad **12** und den Eingangstreiber **16** übertragen. In dem zweiten Flip-Flop FF2 werden die so übertragenen Testdaten mit einem Taktsignal eingelatcht, welches sich aus dem Ausgangssignal des dritten Flip-Flops FF3 ergibt, welches mit Hilfe des Taktsignals SCLK erzeugt wurde und über den Ausgangstreiber **20**, das Datentaktpad **22** und den Eingangstreiber **18** übertragen wurde. Das an dem zweiten Flip-Flop FF2 anliegende Ausgangssignal wird dann der Vergleichseinrichtung **26** zugeführt. In der Vergleichseinrichtung **26** wird das so erhaltene Testausgangssignal mit dem entsprechenden an dem Ausgang der Parallel-zu-Seriell-Umwandlungseinrichtung P25 anliegenden Testeingangssignal verglichen. Das Testeingangssignal wird hierbei entsprechend verzögert (nicht dargestellt), um eine Vergleichen der zwei Signale zu ermöglichen.

**[0086]** In der Vergleichseinrichtung **26** werden insbesondere die nicht-übereinstimmenden Datenbits der zwei Testsignale aufgenommen und kumuliert und es wird ein Testergebnissignal P/F ausgegeben, welches angibt, ob eine maximale Anzahl an Fehlern überschritten wurde oder nicht. Das Signal P/F kann beispielsweise an die externe Testvorrichtung ausgegeben werden. Das ausgegebene Signal ist insbesondere ein Vergleichstestergebnis, d.h. ein Testergebnis, welches durch Vergleichen der Testeingangsdaten mit den Testausgangsdaten erhalten wird.

**[0087]** Mit Hilfe der vorstehend beschriebenen Anordnung kann die Laufzeitverzögerung der Signale in der Halbleiterspeichervorrichtung getestet werden. Durch das Speichern der Testeingangssignale in einem Speicherbereich, welcher in dem Normalbetriebsmodus für ein Speichern von Daten verwendet wird, ist es nicht notwendig, weitere Speicherbereiche für den Testbetrieb vorzusehen. Des weiteren ist es im Vergleich zum Stand der Technik nicht notwendig, Multiplexer vorzusehen, um zwischen den unterschiedlichen Speicherbereichen hin- und herzuschalten.

**[0088]** Nachfolgend wird eine zweite bevorzugte Ausführungsform der vorliegenden Erfindung mit Bezug auf [Fig. 2](#) beschrieben. [Fig. 2](#) zeigt eine schematische Ansicht einer Halbleiterspeichervorrichtung gemäß einer zweiten bevorzugten Ausführungsform der vorliegenden Erfindung.

**[0089]** [Fig. 2](#) zeigt eine ähnliche Ansicht wie [Fig. 1](#) und Elemente der Halbleiterspeichervorrichtung, welche dieselben sind, wie in der ersten Ausführungsform, werden mit denselben Bezugszeichen benannt und es wird um eine detaillierte Beschreibung dieser verzichtet.

**[0090]** Die Halbleiterspeichervorrichtung gemäß der zweiten Ausführungsform weist im wesentlichen dieselbe Struktur auf wie die Halbleiterspeichervorrichtung gemäß der ersten Ausführungsform, mit dem Unterschied, daß die Vergleichseinrichtung **26** nicht vorgesehen ist. In der gezeigten Halbleiterspeichervorrichtung ist vielmehr der Ausgang des zweiten Flip-Flops FF2 über eine Seriell-zu-Parallel-Umwandlungseinrichtung S2P mit einem zweiten Speicherbereich Mem **2** signalverbunden.

**[0091]** Die Funktionsweise der Halbleiterspeichervorrichtung während des Normalbetriebs ist dieselbe wie diejenige der Halbleiterspeichervorrichtung gemäß der ersten Ausführungsform.

**[0092]** In dem Testbetrieb wird das Ausgangssignal des zweiten Flip-Flops FF2 nun nicht mit den Testeingangsdaten verglichen, wie in der ersten Ausführungsform. Vielmehr werden die Testausgangsdaten über die Seriell-zu-Parallel-Umwandlungseinrichtung S2P in parallele Daten umgewandelt und in dem zweiten Speicherbereich Mem **2** gespeichert. Die gespeicherten Testausgangsdaten können nach Abschluß des Tests mit Hilfe der externen Testvorrichtung ausgelesen und in dieser ausgewertet werden.

**[0093]** In dieser Ausführungsform ist es somit nicht notwendig, die Testeingangsdaten zu einem geeigneten Zeitpunkt nochmals bereitzuhalten, damit diese mit den Testausgangsdaten verglichen werden können.

**[0094]** Nun wird eine dritte bevorzugte Ausführungsform der vorliegenden Erfindung mit Bezug auf **Fig. 3** beschrieben. **Fig. 3** ist eine schematische Ansicht einer Halbleiterspeichervorrichtung gemäß einer dritten Ausführungsform.

**[0095]** Die in **Fig. 3** gezeigte Ausführungsform entspricht derjenigen in **Fig. 2** gezeigten Ausführungsform mit dem Unterschied, daß hier in dem Testmodus eine sogenannte externe Schleife bzw. "external loop" ausgebildet wird. Hierbei ist ein erster Datenkontakt **30** mit einem zweiten Datenkontakt **32** über einen externen Lastwiderstand  $R_L$  signalverbunden. Der erste Datenkontakt **30** ist mit einem ersten Datenpad **34** signalverbunden und der zweite Datenkontakt **32** ist mit einem zweiten Datenpad **36** signalverbunden. Ähnlich dazu sind während des Testmodus zwei Datentaktkontakte **38** und **40** über einen externen Lastwiderstand  $R_L$  miteinander signalverbunden.

**[0096]** In dem Testmodus wird nun eine sogenannte externe Schleife ausgebildet durch den Ausgangstreiber **10**, welcher mit dem ersten Datenpad **34** signalverbunden ist, das Datenpad **34**, den ersten Datenkontakt **30**, den zweiten Datenkontakt **30**, das zweite Datenpad **36** und den mit dem zweiten Daten-

pad **36** signalverbundenen Eingangstreiber **16**. Hierbei sind die Ausgangstreiber **10** und Eingangstreiber **16** jeweils derart geschaltet, daß der Ausgangstreiber **10**, welcher zu einem ersten Datenkontakt zugehörig ist, eine Signalübertragung ermöglicht, und der Eingangstreiber **16** des in der paarweisen Anordnung **2** Datenkontakts **32** zugehörige eine Signalübertragung ermöglicht. Die jeweils anderen Ausgangstreiber **10** und Eingangstreiber **16** sind derart geschaltet, daß keine Signalübertragung ermöglicht wird. Eine ähnliche Anordnung ergibt sich für die Datentakt-signale DQS. Der Betrieb der Halbleiterspeichervorrichtung im Testmodus ist derselbe wie derjenige gemäß der zweiten Ausführungsform und es wird auf eine detaillierte Beschreibung hiervon verzichtet.

**[0097]** Weitere nicht dargestellte Ausführungsformen werden im folgenden beschrieben.

**[0098]** Es kann ferner vorgesehen sein, daß die in **Fig. 1** gezeigte Vergleichseinrichtung **26** mit einer external loop Anordnung, wie in **Fig. 3** gezeigt, kombiniert werden kann.

**[0099]** Des Weiteren kann vorgesehen sein, daß die parallelen Testausgangsdaten mit in dem Speicherbereich Mem **1** gespeicherten Testeingangsdaten verglichen werden.

**[0100]** Ferner kann vorgesehen sein, daß aus den Testausgangsdaten, welche insbesondere an dem zweiten Flip-Flop FF2 ausgegeben werden, ein Datentestergebnis gebildet wird, wobei ein Datentestergebnis insbesondere ein Testergebnis ist, welches nur unter Verwendung der Testausgangsdaten, d.h. ohne Vergleich mit den Testeingangsdaten, erhalten wird. Dies hat insbesondere den Vorteil, daß es nicht notwendig ist, die Testeingangsdaten für einen Vergleich mit den Testausgangsdaten mit einer bestimmten Zeitgabe bereitzuhalten.

**[0101]** Hierzu kann z.B. eine Signatur gebildet werden. Die Signatur ist insbesondere eine eindeutige Funktion der Testausgangsdaten und ist vorzugsweise derart ausgestaltet, daß die Wahrscheinlichkeit, daß die Signatur korrekt ist, obwohl die Daten falsch sind, hinreichend klein ist. Die Signatur kann z.B. mit Hilfe eines multiple input signature registers (MISR) erzeugt werden. Es kann vorgesehen sein, daß die Signatur aus den seriellen Testausgangsdaten oder aus den durch die Seriell-zu-Parallel-Umwandlungseinrichtung S2P ausgegebenen parallelen Testausgangsdaten gebildet wird.

**[0102]** Die aus den Testausgangsdaten erzeugte Signatur kann an eine externe Testvorrichtung ausgegeben und dort mit einer Sollsignatur verglichen.

**[0103]** Alternativ kann vorgesehen sein, daß die erzeugte Signatur in der Halbleiterspeichervorrichtung



mit einer in dieser gespeicherten Sollsignatur verglichen wird. wenn die erzeugte Signatur in der Halbleiterspeichervorrichtung mit der Sollsignatur verglichen wird, wird vorzugsweise ein Testergebnissignal an die externe Testvorrichtung ausgegeben, welches angibt, ob die Testanforderungen erfüllt wurden oder nicht.

**[0104]** Die Sollsignatur kann vorzugsweise experimentell oder durch Simulation erzeugt werden. Wenn die Sollsignatur experimentell erzeugt wird, wird eine bekannte Halbleiterspeichervorrichtung, die die benötigten Anforderungen erfüllt, verwendet um die Sollsignatur zu erzeugen (sog. „known good device“). Hierzu können beispielsweise entspannte Zeitbedingungen bzw. Zeitbedingungen, bei welchen ein fehlerfreier Betrieb im wesentlichen gewährleistet werden kann, vorgesehen werden um den einwandfreien Betrieb der Halbleiterspeichervorrichtung zu ermöglichen.

**[0105]** Wenn die Sollsignatur mit Hilfe einer Simulation erzeugt werden soll, kann dies rechnerisch erfolgen.

**[0106]** Es kann ferner vorgesehen sein, daß anstelle einer Signatur eine Redundanz in den Testeingangsdaten vorgesehen ist. Diese redundante Information kann dann zur Erzeugung eines Datentestergebnisses verwendet werden.

**[0107]** Beispielsweise kann bei einem 8-Bittestwort, d.h. einem Testwort, welches 8-Bit lang ist, das achte Bit die Quersumme der sieben anderen Bits darstellen. Somit kann durch Quersummenbildung der Testausgangsdaten und Vergleichen mit dem jeweils achten Bit ermittelt werden, ob während des Testbetriebs ein Fehler aufgetreten ist oder nicht.

**[0108]** Ferner kann vorgesehen sein, daß eine Vielzahl von Signaturerzeugungseinrichtungen auf bzw. in der Halbleiterspeichervorrichtung vorgesehen sind. Beispielsweise kann die Halbleiterspeichervorrichtung derart ausgelegt sein, daß, wenn die Testausgangsdaten an verschiedenen Stellen der Halbleiterspeichervorrichtung ausgegeben werden, die jeweils lokal benachbarten Testausgangsdaten zur Berechnung einer Signatur verwendet werden.

**[0109]** Alternativ zu den vorstehend beschriebenen Verfahren können weitere geeignete Signatur- oder Redundanzverfahren verwendet werden.

**[0110]** In den in den **Fig. 1** und **Fig. 2** wird eine sog. „loop back“-Ausgestaltung zum Testen vorgesehen, bei welcher Testsignale über Ausgangstreiber, zumindest ein Datenpad und Eingangstreiber der Halbleiterspeichervorrichtung geführt werden und in der Halbleiterspeichervorrichtung gespeichert und/oder ausgewertet werden.

**[0111]** Es wird ferner insbesondere ein Loop-back-Verfahren zur Vermessung des Interface-Timings von Halbleiterspeichervorrichtungen unter Verwendung des Normal-Mode-Speichers bereitgestellt.

#### Bezugszeichenliste

<b>10</b>	Ausgangstreiber
<b>12</b>	Datenpad
<b>14</b>	Datenkontakt
<b>16</b>	Eingangstreiber
<b>18</b>	Eingangstreiber
<b>20</b>	Ausgangstreiber
<b>22</b>	Datentaktpad
<b>24</b>	Datentaktkontakt
<b>26</b>	Vergleichseinrichtung
<b>30</b>	ersten Datenkontakt
<b>32</b>	zweiter Datenkontakt
<b>34</b>	erstes Datenpad
<b>36</b>	zweites Datenpad
<b>38</b>	ersten Datentaktkontakt
<b>40</b>	zweitem Datentaktkontakt
<b>42</b>	erstes Datentaktpad
<b>44</b>	zweites Datenkontaktpad
<b>Mem 1</b>	erster Speicherbereich
<b>Mem 2</b>	zweiter Speicherbereich
<b>P2S</b>	Parallel-zu-Seriell-Umwandlungseinrichtung
<b>S2P</b>	Seriell-zu-Parallel-Umwandlungseinrichtung
<b>FF1</b>	erstes Flip-Flop
<b>FF2</b>	zweites Flip-Flop
<b>FF3</b>	drittes Flip-Flop

#### Patentansprüche

1. Verfahren zum Testen einer Halbleiterspeichervorrichtung, wobei die Halbleiterspeichervorrichtung in einem Normal-Betriebsmodus und einem Testmodus betreibbar ist, wobei das Verfahren die folgenden Schritte umfaßt:

- Übermitteln von für einen Test zu verwendenden Testeingangsdaten an die Halbleiterspeichervorrichtung;
- Speichern der Testeingangsdaten in Speicherzellen eines Speicherbereichs (Mem 1) der Halbleiterspeichervorrichtung; und
- Auslesen der gespeicherten Testeingangsdaten aus den Speicherzellen zum Durchführen eines Tests, um Testausgangsdaten zu erhalten, wobei der Speicherbereich (Mem 1), in welchem die Testeingangsdaten in dem Testmodus gespeichert werden, in dem Normal-Betriebsmodus zum Speichern von Daten verwendet wird.

2. Verfahren gemäß Anspruch 1, wobei die gespeicherten Testeingangsdaten zumindest teilweise parallel aus den Speicherzellen ausgelesen werden und der Schritt des Auslesens einen Schritt des Um-

wandelns der parallel aus dem Speicherzellenfeld ausgelesenen Testeingangsdaten in serielle Daten, welche zum Durchführen des Tests verwendet werden, umfaßt.

3. Verfahren gemäß Anspruch 1 oder 2, welches einen Schritt des Vergleichens der Testausgangsdaten mit den ausgelesenen Testeingangsdaten in einer Vergleichseinrichtung (26) umfaßt.

4. Verfahren gemäß Anspruch 3, welches einen Schritt des Aufnehmens des Vergleichsergebnisses in einem Fehlerregister zum Erzeugen eines Vergleichstestergebnisses umfaßt.

5. Verfahren gemäß einem der vorangehenden Ansprüche, welches einen Schritt des Speicherns der Testausgangsdaten und/oder eines Testergebnisses in demselben und/oder einem weiteren Speicherbereich (Mem 2), welcher in dem Normal-Betriebsmodus zur Speicherung von Daten verwendet wird, umfaßt.

6. Verfahren gemäß einem der vorangehenden Ansprüche, wobei die Testausgangsdaten serielle Daten umfassen und das Verfahren einen Schritt des zumindest teilweisen Umwandeln der seriellen Testausgangsdaten in parallele, insbesondere in das Speicherzellenfeld zu schreibende Daten umfaßt.

7. Verfahren gemäß Anspruch 6, welches den folgenden Schritt umfaßt:  
– Vergleichen der umgewandelten Testausgangsdaten mit den gespeicherten Testeingangsdaten in einer Vergleichseinrichtung (26).

8. Verfahren gemäß einem der vorangehenden Ansprüche, welches einen Schritt des Erstellens eines Datentestergebnisses aus den Testausgangsdaten umfaßt.

9. Verfahren gemäß Anspruch 8, wobei der Schritt des Erstellens des Datentestergebnisses einen Schritt des Erstellens einer Signatur aus den Testausgangsdaten umfaßt.

10. Verfahren gemäß Anspruch 9, wobei die Testausgangsdaten für das Erstellen der Signatur zumindest teilweise gruppenweise zusammengefaßt werden.

11. Verfahren gemäß Anspruch 9 oder 10, welches einen Schritt des Vergleichens der erstellten Signatur mit einer Soll-Signatur umfaßt.

12. Verfahren gemäß Anspruch 11, wobei der Schritt des Vergleichens in der Halbleiterspeichervorrichtung erfolgt.

13. Verfahren gemäß Anspruch 11, wobei der

Schritt des Vergleichens in einer externen Testvorrichtung erfolgt.

14. Verfahren gemäß einem der Ansprüche 9 bis 13, wobei zur Erstellung der Signatur ein Signatur-Register verwendet wird.

15. Verfahren gemäß einem der Ansprüche 8 bis 14, wobei die Testeingangsdaten redundante Information enthalten und der Schritt des Erstellens des Datentestergebnisses unter Verwendung der redundanten Information der Testausgangsdaten erfolgt.

16. Verfahren gemäß Anspruch 15, wobei in den Testeingangsdaten Paritäts-Bits vorgesehen sind, welche eine Information über eine vorbestimmte Anzahl von weiteren Testeingangsdatenbits enthalten.

17. Verfahren gemäß einem der vorangehenden Ansprüche, wobei die zu testende Halbleiterspeichervorrichtung Ausgangstreiber (10), Eingangstreiber (16) und Datenpads (12; 34, 36) umfaßt und das Verfahren einen Schritt des Führens der ausgelesenen Testdaten über einen Ausgangstreiber (10), zumindest ein Datenpad (12; 34, 36) und einen Eingangstreiber (16) umfaßt und die Eingangstreiber (16) und Ausgangstreiber (10) während des Tests derart geschaltet sind, daß ein gleichzeitiges Lesen und Schreiben von Daten aus bzw. in die Halbleiterspeichervorrichtung ermöglicht wird.

18. Verfahren gemäß Anspruch 17, wobei der Ausgangstreiber (10) und der Eingangstreiber (16), über welche die Testdaten geleitet werden, jeweils demselben Datenpad (12) zugeordnet sind.

19. Verfahren gemäß Anspruch 17, wobei im wesentlichen jedes Datenpad (34, 36) mit einem Datenkontakt (30, 32) in Signalverbindung steht und im Testmodus:

– jeweils zwei Datenkontakte (30, 32) miteinander signalverbunden sind; und  
– die Testdaten über einen Ausgangstreiber (10) eines ersten Datenpads (34), das erste Datenpad (34), einen mit dem ersten Datenpad (34) signalverbundenen ersten Datenkontakt (30), den mit dem ersten Datenkontakt (30) signalverbundenen zweiten Datenkontakt (32), das mit dem zweiten Datenkontakt (32) signalverbundene zweite Datenpad (36) und den Eingangstreiber (16) des zweiten Datenpads (36) geleitet werden.

20. Verfahren gemäß einem der vorangehenden Ansprüche, wobei die Auslesereihenfolge der in den Speicherzellen gespeicherten Testdaten verändert wird, um verschiedene Testmuster zu erzeugen.

21. Halbleiterspeichervorrichtung, welche in einem Normalbetriebsmodus und einem Testmodus betreibbar ist, wobei die Halbleiterspeichervorrich-

tung umfaßt:

- zumindest ein Speicherzellenfeld (Mem 1), welches in dem Normal-Betriebsmodus zum Speichern von Daten verwendet wird; wobei die Halbleiterspeichervorrichtung derart ausgelegt ist, daß in dem Testmodus
- Testeingangsdaten in dem Speicherzellenfeld speicherbar sind; und
- die gespeicherten Testeingangsdaten zum Durchführen eines Tests, um Testausgangsdaten zu erhalten, aus dem Speicherzellenfeld auslesbar sind.

22. Halbleiterspeichervorrichtung gemäß Anspruch 21, welche eine Parallel-zu-Seriell-Umwandlungseinrichtung (P2S) umfaßt zum Umwandeln von parallel aus dem Speicherzellenfeld ausgelesenen Testeingangsdaten in serielle Daten, welche zum Durchführen des Tests verwendet werden.

23. Halbleiterspeichervorrichtung gemäß Anspruch 21 oder 22, welche eine Vergleichseinrichtung (26) umfaßt zum Vergleichen der Testausgangsdaten mit den ausgelesenen Testeingangsdaten, um Fehlerinformation zu erhalten.

24. Halbleiterspeichervorrichtung gemäß Anspruch 23, welche ein Fehlerregister umfaßt zum Aufnehmen der Fehlerinformation und Erzeugen eines Vergleichstestergebnisses.

25. Halbleiterspeichervorrichtung gemäß einem der Ansprüche 21 bis 24, welche ausgelegt ist zum Speichern der Testausgangsdaten und/oder eines Testergebnisses in demselben und/oder einem weiteren Speicherbereich (Mem 2), welcher in dem Normal-Betriebsmodus zur Speicherung von Daten verwendet wird.

26. Halbleiterspeichervorrichtung gemäß einem der Ansprüche 21 bis 25, welche eine Seriell-zu-Parallel-Umwandlungseinrichtung (S2P) umfaßt zum Umwandeln von seriellen Testausgangsdaten in parallele, insbesondere in das Speicherzellenfeld zu schreibende Daten.

27. Halbleiterspeichervorrichtung gemäß Anspruch 23 und 26, wobei die Vergleichseinrichtung (26) ausgelegt ist zum Vergleichen der umgewandelten Testausgangsdaten mit den gespeicherten Testeingangsdaten, um Fehlerinformation zu erhalten.

28. Halbleiterspeichervorrichtung gemäß einem der Ansprüche 21 bis 27, welche eine Datentestergebniserstellungseinrichtung umfaßt zum Erstellen eines Datentestergebnisses aus den Testausgangsdaten.

29. Halbleiterspeichervorrichtung gemäß Anspruch 28, wobei die Datentestergebniserstellungseinrichtung eine Signatureinrichtung zum Erstellen

einer Signatur aus den Testausgangsdaten umfaßt.

30. Halbleiterspeichervorrichtung gemäß Anspruch 29, welche eine Signaturvergleichseinrichtung zum Vergleichen der erstellten Signatur mit einer Soll-Signatur umfaßt.

31. Halbleiterspeichervorrichtung gemäß Anspruch 29 oder 30, welche ein Signatur-Register zur Erstellung der Signatur ein Signatur-Register umfaßt.

32. Halbleiterspeichervorrichtung gemäß einem der Ansprüche 29 bis 31, wobei die Testeingangsdaten redundante Information enthalten und die Halbleiterspeichervorrichtung eine Einrichtung zum Erstellen des Datentestergebnisses unter Verwendung der redundanten Information der Testausgangsdaten umfaßt.

33. Halbleiterspeichervorrichtung gemäß einem der Ansprüche 21 bis 32, welche Ausgangstreiber (10), Eingangstreiber (16) und Datenpads (12; 34, 36) umfaßt und derart ausgelegt ist, daß in dem Testmodus ein Ausgangstreiber (10), zumindest ein Datenpad (12; 34, 36) und ein Eingangstreiber (16) miteinander in Signalverbindung stehen und die Eingangstreiber (16) und Ausgangstreiber (10) während des Tests derart geschaltet sind, daß ein gleichzeitiges Lesen und Schreiben von Daten aus bzw. in die Halbleiterspeichervorrichtung ermöglicht wird.

34. Halbleiterspeichervorrichtung gemäß Anspruch 33, wobei der Ausgangstreiber (10) und der Eingangstreiber (16), über welche die Testdaten geleitet werden, jeweils demselben Datenpad (12) zugeordnet sind.

35. Halbleiterspeichervorrichtung gemäß Anspruch 33, wobei im wesentlichen jedes Datenpad (34, 36) mit einem Datenkontakt (30, 32) in Signalverbindung steht und im Testmodus:

- jeweils zwei Datenkontakte (30, 32) miteinander signalverbunden sind; und
- die Halbleiterspeichervorrichtung derart ausgelegt ist, daß die Testdaten über einen Ausgangstreiber (10) eines ersten Datenpads (34), das erste Datenpad (34), einen mit dem ersten Datenpad (34) signalverbundenen ersten Datenkontakt (30), den mit dem ersten Datenkontakt (30) signalverbundenen zweiten Datenkontakt (32), das mit dem zweiten Datenkontakt (32) signalverbundene zweite Datenpad (36) und den Eingangstreiber (16) des zweiten Datenpads (36) geleitet werden.

36. System zum Testen einer Halbleiterspeichervorrichtung, umfassend:

- eine Halbleiterspeichervorrichtung gemäß einem der Ansprüche 21 bis 35;
- ein externes Testgerät zum Ansteuern der Halbleiterspeichervorrichtung; wobei das externe Testgerät

ausgelegt ist, die Halbleiterspeichervorrichtung für einen Testbetrieb in den Testmodus zu bringen.

Es folgen 3 Blatt Zeichnungen

FIG 1

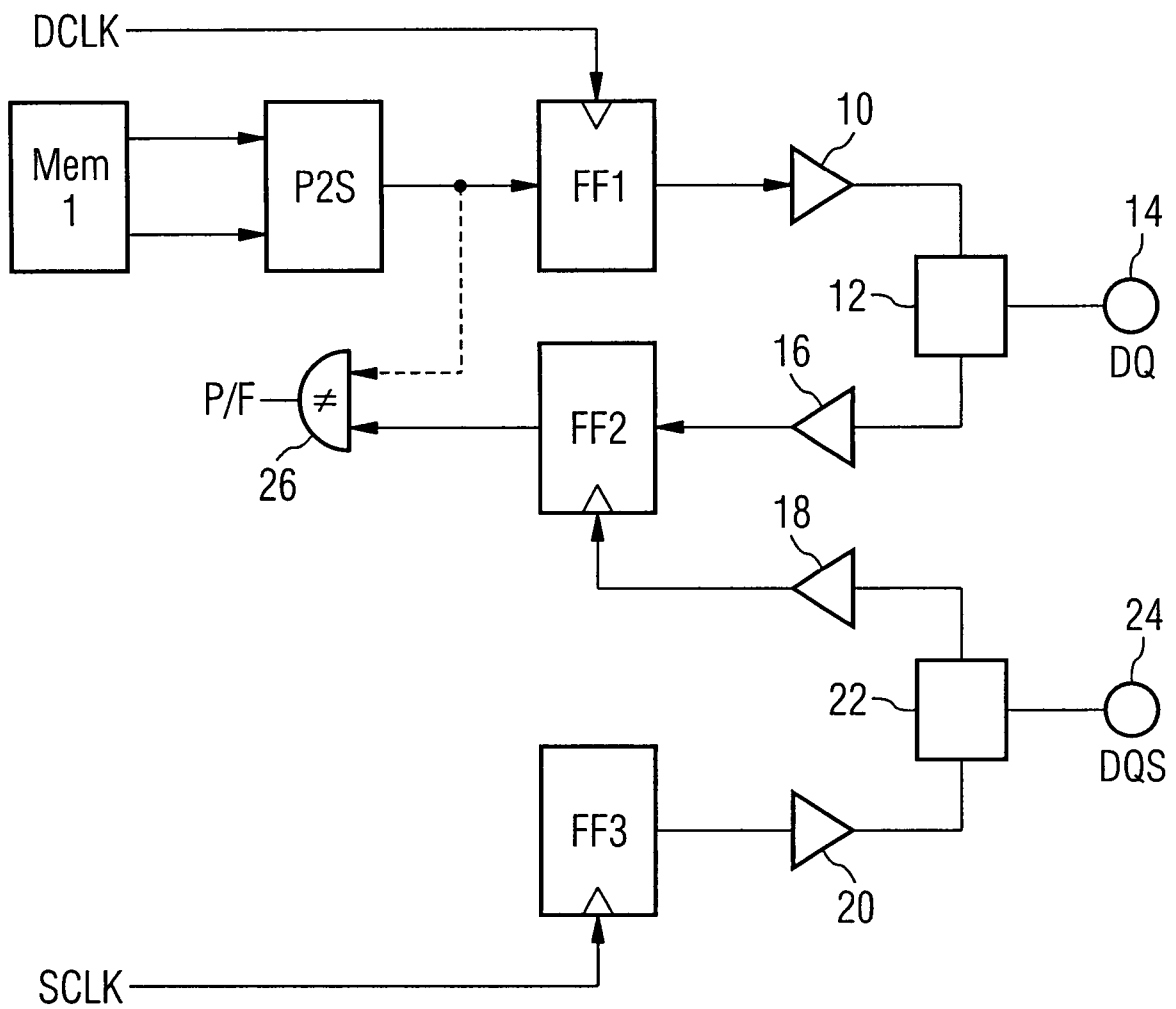


FIG 2

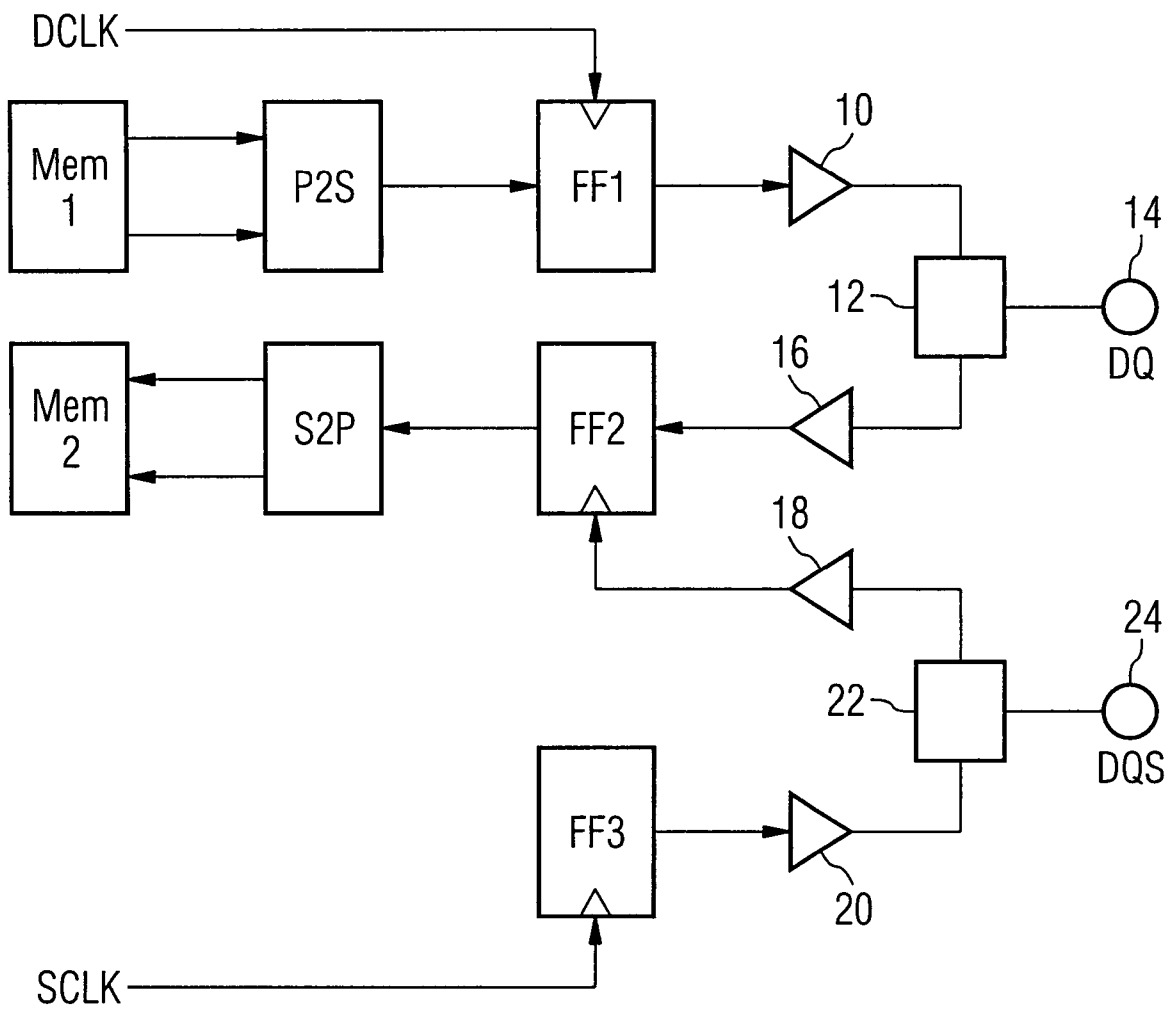


FIG 3

