



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2005 054 898 A1 2006.06.01**

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2005 054 898.9**

(22) Anmeldetag: **17.11.2005**

(43) Offenlegungstag: **01.06.2006**

(51) Int Cl.⁸: **G11C 29/18 (2006.01)**
G06F 12/00 (2006.01)

(30) Unionspriorität:
10/991,434 19.11.2004 US

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Schoppe, Zimmermann, Stöckeler & Zinkler, 82049 Pullach

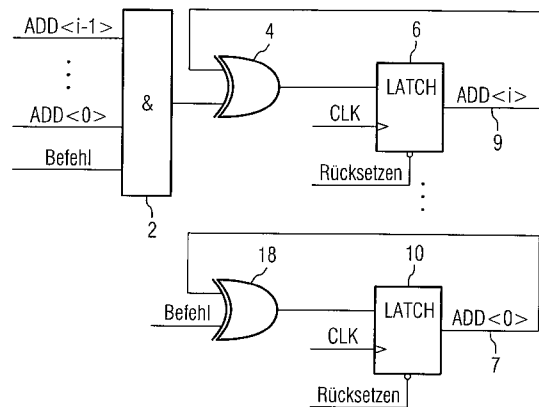
(72) Erfinder:
Fekih-Romdhane, Khaled, Houston, Tex., US;
Hokenmaier, Wolfgang, Burlington, Vt., US;
Hummler, Klaus, Apex, N.C., US

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Flexibles internes Adresszählverfahren und -vorrichtung**

(57) Zusammenfassung: Ein Verfahren zum Steuern eines internen Adresszählers, der einen Zählwert bereitstellt, der beim Zugreifen auf ein Speicherzellenarray verwendet wird, um eine erhöhte Flexibilität bei der Durchführung eines Tests an dem Array bereitzustellen, weist ein Modifiziert-Machen einer normalen Überlaufbedingung des Zählers auf, wodurch eine Veränderung des Zählwerts, der durch den Zähler bereitgestellt wird, gemäß den Anforderungen des gerade an dem Array durchgeführten Tests ermöglicht wird.



Beschreibung

[0001] Die vorliegende Erfindung richtet sich auf ein Verfahren und eine Vorrichtung zum Erhöhen der Flexibilität eines Adresszählers, der verwendet wird, um Adressen zum Zugreifen auf ein Array von Speicherzellen zu erzeugen.

Stand der Technik

[0002] Direktzugriffsspeicherchips und insbesondere dynamische Direktzugriffsspeicherchips (DRAMs) enthalten Speicherzellen mit hoher Dichte. Bei dem Testen derartiger Speichervorrichtungen werden einzelne Zellen getestet, um ausfallende Elemente zu lokalisieren und dieselben zu reparieren. Um diese Zellen zu adressieren, muss der Tester Zeilen- und Spaltenadressen erzeugen, die denselben zugeordnet sind.

[0003] In vielen automatisierten Testvorgängen werden interne Adresszähler anstelle eines Testerzählers verwendet, um Testadressen für die Zeilen und Spalten zu erzeugen. Bei dieser Einstellung erzeugt eine Logikeinheit, die in den DRAM-Chip integriert ist, diese Adressen intern gemäß einer vorbestimmten Struktur.

[0004] Dieses Schema ist vom Standpunkt einer Testzeit und Kosten sehr vorteilhaft, es schränkt jedoch oft die Flexibilität des Testers, DRAM-Zellen zu adressieren, ein. Gemäß einer normalen Testprozedur wird ein interner Zähler zu Beginn der Prozedur rückgesetzt. Der Zähler wird in dem Fall eines Befehls, auf die nächste Zeile oder Spalte zuzugreifen, inkrementiert. Jede Adresse des Zählers wird in dem Fall eines Überlaufs der niedrigstwertigen Bits und in dem Fall, dass das Befehlssignal hoch ist, inkrementiert. Aufgrund der eingeschränkten Kommunikation zwischen dem Tester und dem internen Adresszähler muss der Testingenieur eine Hilfskonstruktion implementieren, um einen oder mehrere bestimmte Arrayorte zu umgehen und spezielle Testmerkmale durchzuführen. Eine dieser Hilfskonstruktionen ist die Verwendung von Blindbefehlen, um den Zähler zu inkrementieren und dann den tatsächlichen Befehl auszuführen, sobald die Adresse erreicht ist. Diese Hilfskonstruktionen in der Natur von Blindbefehlen können Testzeit kosten und die Komplexität der Testprozedur erhöhen.

[0005] Es ist die Aufgabe der vorliegenden Erfindung, ein Verfahren, einen internen Adresszähler oder eine Vorrichtung mit verbesserten Charakteristika zu schaffen.

[0006] Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1, einen internen Adresszähler gemäß Anspruch 8 oder eine Vorrichtung gemäß Anspruch 15 gelöst.

[0007] Gemäß der vorliegenden Erfindung wird ein Verfahren zum Steuern eines internen Adresszählers, das eine Flexibilität bei der Durchführung eines Tests an einem Speicherzellarray erhöht, bereitgestellt, das ein Modifizieren-Machen einer normalen Überlaufbedingung des Zählers aufweist, wodurch eine Veränderung des Zählwerts, der durch den Zähler bereitgestellt wird, gemäß den Anforderungen des Tests, der gerade an dem Array durchgeführt wird, ermöglicht wird.

Ausführungsbeispiel

[0008] Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend Bezug nehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

[0009] Fig. 1 ein Diagramm eines internen Adresszählers des Stands der Technik; und

[0010] Fig. 2 ein Diagramm eines Ausführungsbeispiels eines internen Adresszählers gemäß der vorliegenden Erfindung.

[0011] Bezug nehmend auf Fig. 1 ist ein interner Adresszähler des Stands der Technik gezeigt. Der Zähler zählt von ADD<0> bis ADD<i> durch ein Ausgeben geeigneter Binärbits auf Ausgangsleitungen, einschließlich Ausgangsleitungen 7 und 9, die in Fig. 1 gezeigt sind. Die Ausgangsleitung 7 ist die Ausgangsleitung für ADD<0>, während die Ausgangsleitung 9 die Ausgangsleitung für ADD<i> ist. Es gibt eine Mehrzahl von Ausgangsleitungen zwischen den Ausgangsleitungen 7 und 9 (nicht gezeigt), um alle Ausgaben zwischen ADD<0> und ADD<i> abzudecken. Es gibt ebenso eine Mehrzahl von Zählerstufen zwischen ADD<0> und ADD<i> (nicht gezeigt), die der Zählerstufe für ADD<i> ähneln, wie noch erläutert werden wird. Der gezeigte Zähler dient zum Zugreifen auf entweder die Zeilen oder Spalten eines Speicherzellarrays, so dass ein weiterer ähnlicher Zähler ebenso verwendet würde, um vollständigen Zugriff auf sowohl Zeilen als auch Spalten bereitzustellen.

[0012] Nachdem alle Latche (6, 10 usw.) rückgesetzt sind, zählt der Zähler von ADD<0> bis ADD<i> und beginnt dann wieder bei ADD<0>, usw. in einer normaler reiterativen Art und Weise. Das Auftreten jedes vorherigen Zählwerts ist der Auslöser für ein Auftreten des nächsten Zählwerts. Bezug nehmend auf Fig. 1 ist ein UND-Gatter 2 zu sehen, das Eingaben ADD<0> und ADD<i-1> aufweist, sowie eine Befehlseingabe. Wenn alle Eingaben ADD<0> und ADD<i-1> hoch sind und die Befehlseingabe auftritt, ist es Zeit, sich weiter zu ADD<i> zu bewegen, indem das Latch 6 inkrementiert wird, was bewirkt, dass die Leitung 9, die ADD<i> entspricht, in einen Hochzustand geht. Dies wird als die normale Überlaufbedin-

gung bezeichnet.

[0013] Es wird angemerkt, dass die Ausgabe des UND-Gatters **2** einem Eingang eines Exklusiv-ODER-Gatters **4** zugeführt wird, und dass die Ausgabe des Latches **6** auf der Leitung **9** zurück zu dem anderen Eingang geführt wird. Bei Betrieb der Schaltung geht, wenn die Ausgabe des UND-Gatters **2** nach hoch geht und die Leitung **9** niedrig ist, die Ausgabe des Exklusiv-ODER-Gatters nach hoch und das Latch **6** wird inkrementiert, wenn die vordere Flanke des nächsten Taktpulses bei der CLK-Eingabe in das Latch **6** auftritt. Andererseits ist, wenn die Leitung **9** hoch ist und die Ausgabe des UND-Gatters nach hoch geht, die Ausgabe des Exklusiv-ODER-Gatters **4** wieder niedrig und wenn der nächste Taktpuls auftritt, wird das Latch inkrementiert, so dass die Leitung **9** nach niedrig geht.

[0014] Obwohl dies in [Fig. 1](#) nicht gezeigt ist, umfasst der Zähler tatsächlich $i-1$ UND-Gatter, ähnlich dem UND-Gatter **2**. Das UND-Gatter, das unmittelbar unterhalb des UND-Gatters **2** in [Fig. 1](#) erscheinen würde, würde Eingaben $ADD<0>$ bis $ADD<i-2>$ aufweisen, sowie die Befehlseingabe, usw. für die anderen UND-Gatter.

[0015] Es wird angemerkt, dass die Stufe, die $ADD<0>$ entspricht, kein UND-Gatter aufweist, da es kein Bit unterhalb von $ADD<0>$ gibt, das in eine UND-Funktion eingeschlossen wird. Diese Stufe umfasst ein Exklusiv-ODER-Gatter **8** und ein Latch **10**, die so, wie oben beschrieben wurde, arbeiten. In diesem Fall jedoch wird das Befehlssignal direkt an einen Eingang des Exklusiv-ODER-Gatters **8** geliefert.

[0016] Wie oben erläutert wurde, besteht ein Nachteil des in [Fig. 1](#) gezeigten internen Zählers des Stands der Technik darin, dass er normalerweise bereits in einer vorbestimmten Art und Weise zu Zwecken eines Testens des Arrays programmiert ist. Wenn der Tester von der eingestellten Programmierung abweichen möchte, ist es nötig, Blindbefehle an den Zähler zu liefern, um denselben zu den Speicherzellen zu bewegen, die er testen möchte. Da die Blindbefehle zeitaufwendig sein könnten, ist es wünschenswert, einen flexibleren internen Zähler bereitzustellen, der direkt durch den Tester programmiert werden kann, um die Notwendigkeit nach Blindbefehlen zu vermeiden.

[0017] Ein Ausführungsbeispiel der Erfindung ist in [Fig. 2](#) dargestellt. Bei der Konfiguration aus [Fig. 2](#) wird die normale Überlaufbedingung des Zählers modifiziert gemacht, wodurch eine Veränderung des Zählwerts gemäß den Anforderungen des gerade durchgeführten Tests ermöglicht wird. In [Fig. 2](#) sind nur drei Stufen des Zählers gezeigt, nämlich $ADD<i>$, $ADD<i-1>$ und $ADD<0>$, da diese repräsentativ sind. In einem tatsächlichen Zähler könnte es jede er-

wünschte Anzahl von Bits geben. Als nichteinschränkendes Beispiel könnte ein 14-Bit-Zähler verwendet werden.

[0018] Das Ausführungsbeispiel aus [Fig. 2](#) umfasst Komponenten, die in [Fig. 1](#) nicht vorhanden sind. So ist Bezug nehmend auf die $ADD<i>$ -Stufe, die repräsentativ für alle Stufen ist, die Bits entsprechen, die höherwertig sind als $ADD<0>$, zu sehen, dass ein ODER-Gatter **16** und ein UND-Gatter **18** vorhanden sind. Der Befehl wird in das UND-Gatter **18** eingegeben, während ein Testmodusbit $TM_ADD1<i>$ eine der Eingaben in das ODER-Gatter **16** ist. Ein weiteres Testmodusbit $TM_ADD2<i>$ wird durch einen Inverter **14** in ein UND-Gatter **12** eingegeben. Bezug nehmend auf die $ADD<0>$ -Stufe sind ein ODER-Gatter **38** und ein UND-Gatter **40** vorhanden und eine Eingabe in das ODER-Gatter **38** ist ein TM_En -Signal, das durch einen Inverter **36** zugeführt wird, wobei die andere Eingabe das Testmodusbit $TM_ADD1<0>$ ist. Der Ausgangsschaltungsaufbau, der ein Exklusiv-ODER-Gatter **20** und ein Latch **22** ($ADD<i>$ -Stufe) umfasst, ist der gleiche, wie in Verbindung mit [Fig. 1](#) dargestellt ist. Es wird angemerkt, dass ein weiterer geeigneter Ausgangsschaltungsaufbau z. B. ebenso als nichteinschränkendes Beispiel verwendet werden könnte.

[0019] Bei dem in [Fig. 2](#) gezeigten Zähler wird ein Testmodus verwendet, um den Zähler durch die Einstellung der Testmodusbits $TM_ADD1<i:0>$ und $TM_ADD2<i:0>$ flexibler zu machen. Es ist möglich, eine Anzahl von Funktionen mit dem Testmodus zu erzielen. Beispielhaft könnte eine Startadresse in den Zähler geladen werden. Als weiteres Beispiel könnte bewirkt werden, dass der Zähler in modulo 2^i zählt. Als weiteres Beispiel könnte das Zählen auf eine Region des Speicherzellarrays beschränkt sein. Es ist klar, dass Funktionen wie diese die Flexibilität eines Navigierens durch das Array erhöhen.

[0020] Die erste Funktion, die beschrieben wird, ist ein Laden einer Versatzadresse in den Zähler. Wenn der Zähler rückgesetzt wird und Befehle ausgegeben werden, inkrementiert der Zähler beginnend bei 0. Wenn die Startadresse nicht die erste Adresse ist, gibt es einen Versatz, der durch Blindbefehle mit dem herkömmlichen Zähler erreicht werden könnte. Wie oben erläutert wurde, besteht mit dem Zähler aus [Fig. 2](#) kein Bedarf nach Blindbefehlen. Sobald die Zähleradressen rückgesetzt sind, würde ein Testmodus verwendet werden, um die $TM_ADD1<i:0>$ -Eingaben auf die Startadressenwerte zu setzen und TM_EN auf aktiv. Die nächste Befehlssequenz würde die Ausgangsadressen auf die TM_ADD1 -Werte setzen. Der Zähler wird in die normale Zählsequenz zurückgebracht, wenn TM_EN rückgesetzt wird.

[0021] In dem oben beschriebenen Testmodus wird die normale Überlaufbedingung des Zählers durch

die ODER-Gatter-Funktion aufgehoben, durch die die Versatzadresse eingeführt wird. Wenn der Testmodus jedoch nicht verwendet wird, ist TM_En nicht aktiv und die Testmodusadressen werden rückgesetzt, deshalb sind die Diagramme der [Fig. 1](#) und [Fig. 2](#) logisch äquivalent.

[0022] Als Nächstes wird beschrieben, wie der Zähler in modulo 2^i zählen kann. Wenn z. B. $i = 2$, adressiert der Zähler nur jede vierte Speicherzelle. Jedes Mal, wenn der Testmodus verwendet wird, wird die TM_En-Eingabe gesetzt. Es wird angemerkt, dass es einen Inverter **36** zwischen einer derartigen Eingabe und dem ODER-Gatter **38** gibt. Aufgrund des Inverters ist, wenn TM_EN und TM_ADD1<0> gesetzt (aktiv) sind, die entsprechende Eingabe in das ODER-Gatter **38** null. So startet, wenn TM1<0> nicht gesetzt ist, was bei einem Zählen in modulo 2^i der Fall ist, der Zähler ein Zählen nicht bei Null.

[0023] Wenn eines der anderen TM1-Bits gesetzt ist (z. B. TM ADD<i>), bleiben alle Bits, die niedrigerwertiger als ADD<i> sind, eingefroren, ADD<i> zählt bei jedem Befehl ($OV<i> = 1$) und die Bits, die höherwertiger als ADD<i> sind, zählen gemäß der normalen Überlaufbedingung. So zählt der Zähler in modulo 2^i . Ein derartiges Zählen kann ausgeschaltet werden und die normale Zählsequenz folgt durch das Rücksetzen von TM_En. Ein weiterer Eintrag in modulo 2^i würde ADD<i-1:0> gefroren halten und ADD<n=i> inkrementieren.

[0024] Es wird nun beschrieben, wie eine Speicherzellarrayregion adressiert werden könnte, wobei das Zählen auf diese Region eingeschränkt ist. Dies wird durch ein Verwenden des Testmodusbits TM_ADD2 zum Einfrieren der oberen Bits erzielt. Bezug nehmend auf [Fig. 2](#) ist zu sehen, dass das UND-Gatter **12** Eingaben $OV<i-1>$, $ADD<i-1>$ und $TM_ADD2<i>$ aufweist. $OV<i-1>$ bezeichnet „Überlauf“ $i-1$, anders ausgedrückt, dass $ADD<0>$ bis $ADD<i-2>$ alle hoch sind. Deshalb ist die Kombination von $OV<i-1>$ und $ADD<i-1>$ die normale Überlaufbedingung, die bewirkt, dass i inkrementiert wird ($OV<i>$). Es wird jedoch angemerkt, dass $TM_ADD2<i>$ durch den Inverter **14** an das UND-Gatter **12** angelegt wird. Deshalb ist, wenn das $TM_ADD2<i>$ -Bit gesetzt ist, die entsprechende Eingabe in das UND-Gatter niedrig und die Ausgabe des UND-Gatters niedrig. Zusätzlich wird angenommen, dass $TM_ADD1<i>$ niedrig ist. So wird das $ADD<i>$ -Bit nicht inkrementiert und Bits, die höherwertiger als $ADD<i>$ sind, werden aufgrund der Überlaufbedingung eingefroren. Das Ergebnis ist, dass ein Zugriff auf den Speicher auf Bits unterhalb von $ADD<i>$ eingeschränkt ist.

[0025] Es folgt ein Beispiel, das die Funktionen des Zählers, die oben beschrieben sind, verwendet. Ein Speicherarray von 8K Wortleitungen wird adressiert, wobei der durchzuführende Test an dem Array des

dritten Viertels ist (WL (Wortleitungen) WL4K bis 6K-1). Der Zähler muss jede vierte Adresse beginnend bei 4K zählen.

[0026] Zuerst werden alle Adressen durch ein Rücksetzen der Latche **22**, **34**, **44** usw. rückgesetzt. Dann wird der 4K-Versatz durch ein Verwenden des Testmodus, um die TM_ADD1 -Eingaben der verschiedenen Stufen auf die Adresse **4K** zu setzen, und durch ein Setzen von TM_EN auf aktiv ($TM_EN = 1$) ($TM_ADD1<12> = 1$) erzielt. Der nächste Befehl setzt ADD auf die Startadresse **4K** und der Testmodus setzt dann TM_En sowie den TM_ADD1 -Bus zurück.

[0027] Der Testmodus wird dann verwendet, um $TM_EN = 1$, $TM_ADD1<2> = 1$ und $TM_ADD2<11> = 1$ einzugeben. Die oberen beiden Bits werden aufgrund von $TM_ADD2<11> = 1$ eingefroren, so dass von 4K bis nur 6K-1 gezählt wird. Ferner wird aufgrund von $TM_ADD1<2> = 1$ in modulo 4 gezählt. Zur Rückkehr in den Normalmodus ist es nur nötig, das TM_En -, TM_ADD1 - und TM_ADD2 -Bit zurückzusetzen.

[0028] Es wurden ein flexibles internes Zählverfahren und eine -vorrichtung offenbart. Während die Erfindung in Verbindung mit bevorzugten Ausführungsbeispielen beschrieben wurde, werden Variationen, die in die Wesensart der Erfindung fallen, für Fachleute auf diesem Gebiet zu erkennen sein. Mit geeigneten korrelativen Inversionen z. B. könnten NAND-, NOR- oder Exklusiv-NOR-Gatter anstelle der UND-, ODER- und Exklusiv-ODER-Gatter, die beschrieben sind, eingesetzt werden. Es wird darauf verwiesen, dass die Ausdrücke „UND-Typ-Gatter“, „ODER-Typ-Gatter“ und „Exklusiv-ODER-Typ-Gatter“, wie sie hierin verwendet werden, alle derartigen Gatter abdecken sollen, ob ihnen nun ein „N“ vorausgeht oder nicht.

[0029] Es ist für einen Fachmann auf diesem Gebiet zu erkennen, dass verschiedene Veränderungen und Modifizierungen durchgeführt werden können, ohne von der Wesensart und dem Schutzbereich der Erfindung abzuweichen. Folglich ist es beabsichtigt, dass die vorliegende Erfindung derartige Modifizierungen und Variationen, die in den Schutzbereich der beigefügten Ansprüche und ihrer Äquivalente fallen, abdecken soll.

Patentansprüche

1. Verfahren zum Steuern eines internen Adresszählers, der einen Zählwert bereitstellt, der beim Zugriff auf ein Speicherzellarray verwendet wird, um eine erhöhte Flexibilität bei der Durchführung eines Tests an dem Array bereitzustellen, mit folgendem Schritt:

Modifiziert-Machen einer normalen Überlaufbedin-

gung des Zählers, wodurch eine Veränderung des Zählwerts, der durch den Zähler bereitgestellt wird, gemäß den Anforderungen des Tests, der gerade an dem Array durchgeführt wird, ermöglicht wird.

2. Verfahren gemäß Anspruch 1, bei dem die normale Überlaufbedingung des Zählers durch ein Aufheben der normalen Überlaufbedingung modifiziert wird.

3. Verfahren gemäß Anspruch 2, bei dem ein Testmodus verwendet wird, um eine Versatzadresse für den Zähler bereitzustellen, wenn die normale Überlaufbedingung aufgehoben wird.

4. Verfahren gemäß einem der Ansprüche 1 bis 3, bei dem die normale Überlaufbedingung des Zählers durch ein Einfrieren derartiger Bits des Zählers, die niederwertiger als ein ausgewähltes Bit sind, modifiziert wird.

5. Verfahren gemäß Anspruch 4, bei dem derartige Bits, die niederwertiger sind als ein ausgewähltes Bit, eingefroren werden, indem das niedrigstwertige Bit gesperrt wird und ein Testmodusbit an der Bitposition des ausgewählten Bits eingeführt wird, das über die Dauer des gerade durchgeführten Tests fest ist.

6. Verfahren gemäß einem der Ansprüche 1 bis 3, bei dem die normale Überlaufbedingung des Zählers durch ein Einfrieren derartiger Bits des Zählers, die höherwertiger als ein ausgewähltes Bit sind, modifiziert wird.

7. Verfahren gemäß Anspruch 6, bei dem derartige Bits, die höherwertiger als ein ausgewähltes Bit sind, eingefroren werden, indem ein Testmodusbit an der Position des ausgewählten Bits eingeführt wird, das über die Dauer des gerade durchgeführten Tests fest ist, während das niedrigstwertige Bit nicht gesperrt wird.

8. Interner Adresszähler, der in einem Testmodus zur Bereitstellung eines Zählwerts zum Zugreifen auf ein Speicherzellarray verwendbar ist, mit folgenden Merkmalen:

einer Mehrzahl von Zählerstufen, die jeweiligen Bits des Zählers entsprechen, wobei jede Stufe oberhalb der Stufe, die dem niedrigstwertigen Bit entspricht, folgende Merkmale umfasst:

a) ein ODER-Typ-Gatter, das einen Ausgang aufweist und einen ersten Eingang, der ein Signal empfängt, das eine Überlaufbedingung des Bits anzeigt, das der Stufe entspricht, und einen zweiten Eingang zum Empfangen eines Testmodusbits aufweist;

b) ein erstes UND-Typ-Gatter, das einen Ausgang aufweist und einen ersten Eingang, der die Ausgabe des ODER-Typ-Gatters empfängt, und einen zweiten Eingang zum Empfangen eines Befehlssignals auf-

weist; und

c) einen Ausgangsschaltungsaufbau, der mit dem Ausgang des UND-Typ-Gatters verbunden ist, der in der Lage ist, einen Zustand zu verändern.

9. Adresszähler gemäß Anspruch 8, bei dem das Signal, das die Überlaufbedingung anzeigt, durch ein zweites UND-Typ-Gatter erzeugt wird.

10. Adresszähler gemäß Anspruch 9, bei dem das zweite UND-Typ-Gatter einen Eingang zum Empfangen eines Testmodusbits aufweist.

11. Adresszähler gemäß einem der Ansprüche 8 bis 10, bei dem die Zählerstufe, die dem niedrigstwertigen Bit entspricht, ein ODER-Typ-Gatter umfasst, das einen Ausgang aufweist und einen ersten Eingang zum Empfangen eines Testmodusfreigabesignals und einen zweiten Eingang zum Empfangen eines Testmodusbits aufweist.

12. Adresszähler gemäß Anspruch 11, bei dem die Zählerstufe, die dem niedrigstwertigen Bit entspricht, ferner ein UND-Typ-Gatter umfasst, das einen Ausgang und einen ersten und einen zweiten Eingang aufweist, und außerdem einen Ausgangsschaltungsaufbau umfasst, der in der Lage ist, einen Zustand zu verändern, wobei der Ausgang des ODER-Typ-Gatters in einer derartigen Stufe mit dem ersten Eingang des UND-Typ-Gatters verbunden ist und der zweite Eingang des UND-Typ-Gatters zum Empfangen eines Befehlssignals dient, und wobei der Ausgangsschaltungsaufbau mit dem Ausgang des UND-Typ-Gatters verbunden ist.

13. Adresszähler gemäß einem der Ansprüche 8 bis 11, bei dem der Ausgangsschaltungsaufbau ein Latch und ein Exklusiv-ODER-Typ-Gatter aufweist, wobei die Ausgabe des Latches zu einem Eingang des Exklusiv-ODER-Typ-Gatters zurückgeführt wird, die Ausgabe des UND-Typ-Gatters dem anderen Eingang des Exklusiv-ODER-Typ-Gatters zugeführt wird und die Ausgabe des Exklusiv-ODER-Typ-Gatters einem Eingang des Latches zugeführt wird.

14. Adresszähler gemäß Anspruch 12, bei dem der Ausgangsschaltungsaufbau ein Latch und ein Exklusiv-ODER-Typ-Gatter aufweist, wobei die Ausgabe des Latches zu einem Eingang des Exklusiv-ODER-Typ-Gatters zurückgeführt wird, die Ausgabe des UND-Typ-Gatters dem anderen Eingang des Exklusiv-ODER-Typ-Gatters zugeführt wird und die Ausgabe des Exklusiv-ODER-Typ-Gatters einem Eingang des Latches zugeführt wird.

15. Vorrichtung zum Steuern eines internen Adresszählers, der einen Zählwert bereitstellt, der beim Zugreifen auf ein Speicherzellarray verwendet wird, um eine erhöhte Flexibilität bei der Durchführung eines Tests an dem Array bereitzustellen, mit

folgenden Merkmalen:

einer Einrichtung zum Außer-Betrieb-Setzen einer normalen Überlaufbedingung des Zählers; und einer Einrichtung zum Modifizieren des Zählwerts, der durch den Zähler bereitgestellt wird, gemäß den Anforderungen des gerade durchgeführten Tests.

16. Vorrichtung gemäß Anspruch 15, bei der die Einrichtung zum Außer-Betrieb-Setzen einer normalen Überlaufbedingung des Zählers eine Einrichtung zum Aufheben der normalen Überlaufbedingung aufweist.

17. Vorrichtung gemäß Anspruch 16, bei der die Einrichtung zum Modifizieren des Zählwerts, der durch den Zähler bereitgestellt wird, eine Einrichtung zum Bereitstellen einer Versatzadresse an den Zähler umfasst.

18. Vorrichtung gemäß einem der Ansprüche 15 bis 17, bei der die Kombination der Einrichtung zum Außer-Betrieb-Setzen einer normalen Überlaufbedingung des Zählers und der Einrichtung zum Modifizieren des Zählwerts eine Einrichtung zum Einfrieren derartiger Bits des Zählers, die niederwertiger als ein ausgewähltes Bit sind, umfasst.

19. Vorrichtung gemäß Anspruch 18, bei der die Einrichtung zum Einfrieren derartiger Bits des Zählers, die niederwertiger als ein ausgewähltes sind, eine Testmoduseinrichtung zum Sperren des niedrigstwertigen Bits und zum Einführen eines Testmodusbits an der Bitposition des ausgewählten Bits, das über die Dauer des gerade durchgeführten Tests fest ist, aufweist.

20. Vorrichtung gemäß einem der Ansprüche 15 bis 17, bei der die Kombination der Einrichtung zum Außer-Betrieb-Setzen einer normalen Überlaufbedingung des Zählers und der Einrichtung zum Modifizieren des Zählwerts eine Einrichtung zum Einfrieren derartiger Bits des Zählers, die höherwertig als ein ausgewähltes Bit sind, aufweist.

21. Vorrichtung gemäß Anspruch 20, bei der die Einrichtung zum Einfrieren derartiger Bits des Zählers, die höherwertig als ein ausgewähltes Bit sind, eine Testmoduseinrichtung zum Einführen eines Testmodusbits an der Position des ausgewählten Bits, ohne das niedrigstwertige Bit zu sperren, über die Dauer des Tests aufweist.

22. Vorrichtung gemäß einem der Ansprüche 17 bis 21, bei der die Kombination der Einrichtung zum Außer-Betrieb-Setzen einer normalen Überlaufbedingung des Zählers und der Einrichtung zum Modifizieren des Zählwerts eine Einrichtung zum Einfrieren derartiger Bits des Zählers, die höherwertig sind als ein ausgewähltes Bit, aufweist, wobei die Einrichtung zum Einfrieren derartiger Bits des Zählers, die höher-

wertig sind als ein ausgewähltes Bit, eine Testmoduseinrichtung zum Einführen eines Testmodusbits an der Position des ausgewählten Bits, ohne das niedrigstwertige Bit zu sperren, über die Dauer des Tests aufweist, wodurch ein Zugriff auf eine eingeschränkte Region des Speicherzellarrays erlaubt wird.

Es folgen 2 Blatt Zeichnungen

FIG 1
Stand der Technik

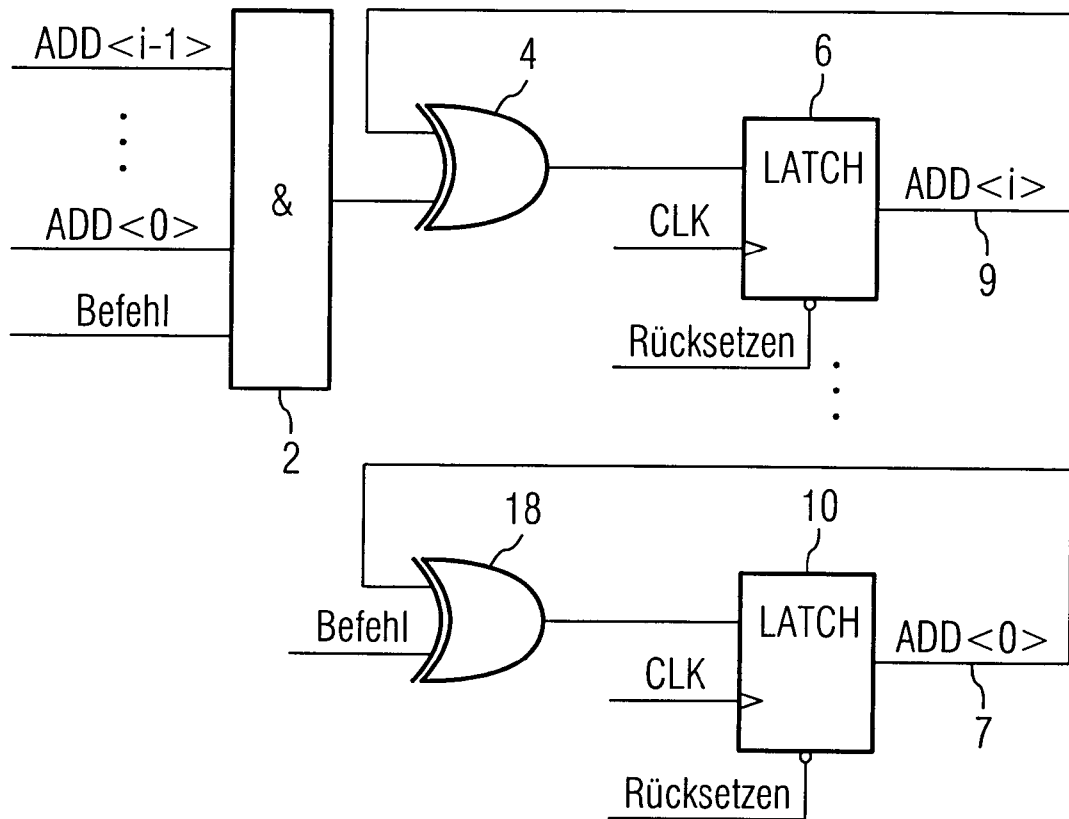


FIG 2

